



(19)

(11) Publication number: **2001292453 A**

Generated Document.

# PATENT ABSTRACTS OF JAPAN

(21) Application number: 2000106782

(51) Intl. Cl.: H04N 9/07 H01L 27/14

(22) Application date: 07.04.00

(30) Priority:

(43) Date of application  
publication: 19.10.01

(84) Designated  
contracting states:

(71) Applicant: CANON INC

(72) Inventor: HASHIMOTO SEIJI

(74) Representative:

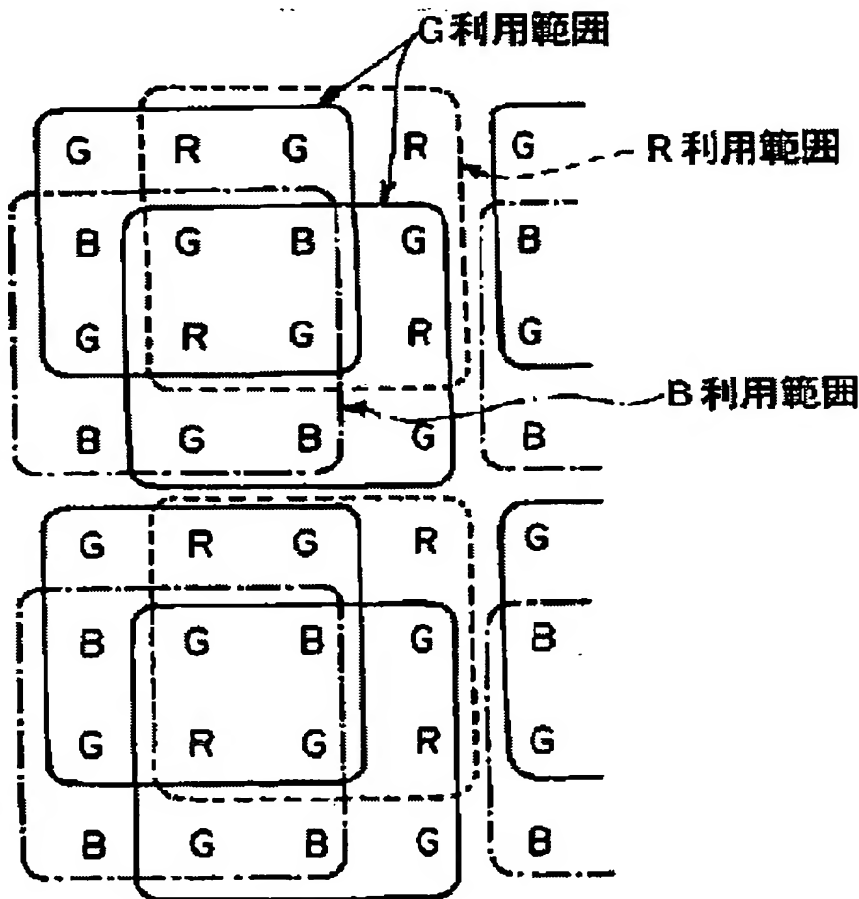
(54) COLOR IMAGE PICKUP  
DEVICE AND IMAGE PICKUP  
SYSTEM USING IT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a color image pickup device that can pick up with excellent image quality an image with high definition and a moving picture with a resolution lower than that of the image and reduce moire in vertical and horizontal directions.

SOLUTION: The color image pickup device is provided with an image pickup element that has pixels arranged in a matrix form and color filters with respect to the pixels and with a summing means that sums signals from the pixels with the color filters of the same color arranged, and color signals (signals G, R, B) are summed spatially in duplicate.

COPYRIGHT: (C)2001,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-292453

(P2001-292453A)

(43) 公開日 平成13年10月19日 (2001. 10. 19)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
H 0 4 N 9/07		H 0 4 N 9/07	A 4 M 1 1 8
H 0 1 L 27/14		101:00	5 C 0 6 5
// H 0 4 N 101:00		H 0 1 L 27/14	D

審査請求 有 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願2000-106782(P2000-106782)

(22) 出願日 平成12年4月7日 (2000. 4. 7)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 橋本 誠二

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(74) 代理人 100065385

弁理士 山下 稯平

Fターム(参考) 4M118 AA05 AA10 AB01 BA14 CA02

DB01 DB03 DD11 FA06 GC08

GC09 GC14

5C065 AA03 BB13 BB30 CC01 CC02

CC03 CC08 DD15 DD17 EE06

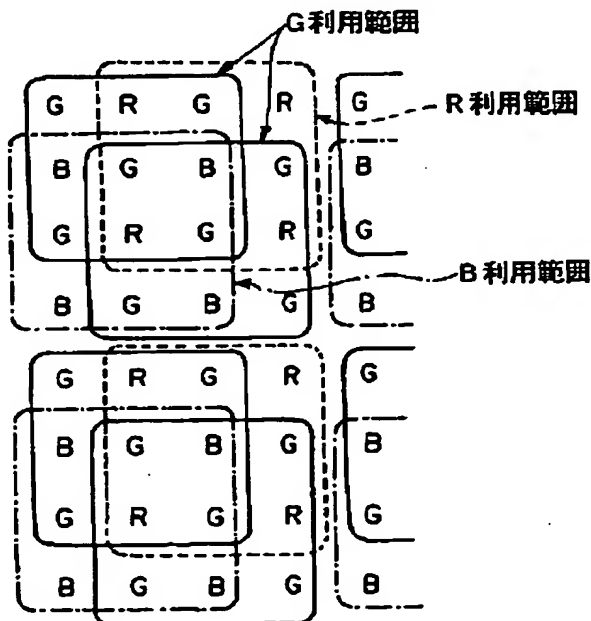
EE08 GG11 GG21 GG30 GG32

(54) 【発明の名称】 カラー撮像装置及びそれを用いた撮像システム

(57) 【要約】

【課題】 高精細の画像と、それより低解像の動画を良画質で撮影する。垂直及び水平方向のモアレを低減する。

【解決手段】 マトリクス状に配列した複数の画素を有し、複数の画素に対して、複数の色フィルターを配した撮像素子と、同色の色フィルターが配された画素からの信号を加算する加算手段とを備えたカラー撮像装置であって、各色信号 (G信号、R信号、B信号) は空間的に重複して加算される。



【特許請求の範囲】

【請求項1】 二次元状に配列した複数の画素を有し、該複数の画素に対して、複数の色フィルターを配した撮像素子と、同色の色フィルターが配された画素からの信号を加算する加算手段とを備えたカラー撮像装置であって、前記複数の画素からの各色信号を空間的に重複して加算してなるカラー撮像装置。

【請求項2】 請求項1に記載のカラー撮像装置において、前記同色の色フィルターが配された画素からの信号の加算は、画素配列の垂直方向及び水平方向で行われてなることを特徴とするカラー撮像装置。

【請求項3】 請求項2に記載のカラー撮像装置において、前記信号の加算は4系統の加算処理の繰返しであることを特徴とするカラー撮像装置。

【請求項4】 請求項2に記載のカラー撮像装置において、前記信号の加算は3系統の加算処理の繰返しであることを特徴とするカラー撮像装置。

【請求項5】 請求項1～4のいずれかの請求項に記載のカラー撮像装置において、各色フィルターはR（赤）、G（緑）、B（青）フィルターであることを特徴とするカラー撮像装置。

【請求項6】 請求項1～3のいずれかの請求項に記載のカラー撮像装置において、各色フィルターはYe（黄）、Cy（シアン）、Mg（マゼンダ）、G（緑）フィルターであることを特徴とするカラー撮像装置。

【請求項7】 請求項1～6のいずれかの請求項に記載のカラー撮像装置と、該カラー撮像装置へ光を結像する光学系と、該カラー撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はカラー撮像装置及びそれをを用いた撮像システムに係わり、特に各画素信号を原信号で読出す動作と、加算して読出す動作を選択可能なカラー撮像装置及びそれをを用いた撮像システムに関する。

【0002】

【従来の技術】デジタルスチルカメラは200万画素の撮像素子が使用されるようになった。これは銀鉛写真画質を追求した結果であって、静止画専用を用いられていた。従来NTSC用のビデオカメラは40万画素程度であり、読出し速度はインタレース走査で約13.5MHz、プログレッシブ走査で約27MHzである。

【0003】200万画素の撮像素子を動画で使用する、上記40万画素の場合の5倍の読出し速度になる。

【0004】このような読出し速度で読み出しを行うと、消費電力が非常に増大し、また、かかる消費電力増大によるノイズの悪化が生じ、さらに画像処理用のメモ

リの増大によるコストアップを招く問題があった。

【0005】この様な問題を解決するものとして、特開平9-247689号公報に開示されたカラー撮像装置がある。同公報に示される実施例（公報の図3）では、4×4画素を単位として同一色を間引いて読み出し加算している。

【0006】

【発明が解決しようとする課題】この場合、問題になるのは4×4画素のなかで利用される有効画素が1/4になっていること、また全体の画素数で考えると1/16になっていることである。従って、200万画素の案子の場合200万/16≒12.5万画素相当の解像度しか得られない。即ち、利用効率が非常に悪くなり、実際上モニタ程度にしか使うことができない。

【0007】さらに上記特開平9-247689号公報の実施例（公報の図2）では複数の画素信号を混合して読出すことが記載されているが、これをCCDで行うには実現性がなく（CCDでは電荷転送なのでX-Y走査の読出しは困難）、また半導体スイッチと光ダイオードで行うには、垂直信号線のKTCノイズが大きく、良好なS/Nが得られない問題がある。

【0008】上述の様に従来技術では画素信号を間引きたため画像の折り返しによるモアレが発生し、また4×4画素単位による読出しのため、充分な解像度が得られない、S/Nが悪いという課題があった。

【0009】本発明は従来技術の課題を解決し、高精細の画像と、それより低解像の動画像を良画質で撮影できるカラー撮像装置およびそれをを用いた撮像システムを提供することを目的とする。

【0010】

【課題を解決するための手段】本発明のカラー撮像装置は、二次元状に配列した複数の画素を有し、該複数の画素に対して、複数の色フィルターを配した撮像素子と、同色の色フィルターが配された画素からの信号を加算する加算手段とを備えたカラー撮像装置であって、前記複数の画素からの各色信号を空間的に重複して加算してなるカラー撮像装置である。

【0011】本発明の撮像システムは、上記本発明のカラー撮像装置と、該カラー撮像装置へ光を結像する光学系と、該カラー撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とするものである。

【0012】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【0013】図1は本発明のカラー撮像装置による画素信号読み出し方法を示す概略説明図である。図1では撮像素子の出力は4チャンネル（4出力）あり、撮像素子のマトリクス状に配された各画素のカラーフィルターは市松模様状に配置されており、G（緑）フィルターは市松模様の半分に配され、R（赤）フィルター、B（青）

フィルターは市松模様の残りの半分にそれぞれ半分づつ配されている。

【0014】高精細読出しの場合（システム1）は、各画素信号が独立に読出されて、全画素読み出しが行われる。すなわち、出力Aからは読み出し回路11により画素信号G11, G13, G15, …が出力され、出力Bからは読み出し回路11により画素信号G22, G24, G26, …が出力され、出力Cからは読み出し回路12により画素信号B21, B23, B25, …が出力され、出力Dからは読み出し回路12により画素信号R12, R14, R16, …が出力される。そして、2ライン（例えば、V1ラインとV2ライン）から色信号が形成される。

【0015】また、低解像読出しの場合（システム2）は、加算と間引き読み出しが行われる。システム2では、4ラインから色信号を形成する。G（緑）信号とR（赤）信号とB（青）信号は4ラインから縦方向加算と横方向加算を行う。またインターレース走査の撮像装置では、フィールド間では4ラインの組み合わせを変えインターレース走査を行う。すなわち、システム2において、偶数フィールドでは、4ライン（例えばV1, V2, V3, V4ライン）から色信号が形成され、出力Aからは読み出し回路11により画素信号G11+G31+G13+G33, G15+G35+G17+G37, …が出力され、出力部Bからは画素信号G22+G42+G24+G44, G26+G46+G28+G48, …が出力される。出力Cからは読み出し回路12により画素信号B21+B41+B23+B43, B25+B45+B27+B47, …が出力され、出力Dからは読み出し回路12により画素信号R12+R32+R14+R34, R16+R36+R18+R38, …が出力される。奇数フィールドでは、4ライン（例えば、V3, V4, V5, V6ライン）から色信号が形成され、出力Aからは読み出し回路11により画素信号G31+G51+G33+G53, G35+G55+G37+G57, …が出力され、出力部Bからは画素信号G42+G62+G44+G64, G46+G66+G48+G68, …が出力される。出力Cからは読み出し回路12により画素信号B41+B61+B43+B63, …が出力され、出力Dからは読み出し回路12により画素信号R32+R52+R34+R54, …が出力される。

【0016】次に画素部の構成例について説明する。画素部はCMOSセンサーと呼ばれる画素をマトリクス状に配置して構成される。

【0017】図2はCMOSセンサーおよび読み出し回路を示す回路図である。CMOSセンサーは各画素アンプのバラツキとゲート部のリセットノイズがあるので、そのノイズを除去するため出力部に信号用メモリCT1とノイズ用メモリCT2を設けて、減算処理によりノイズを除去している。

【0018】図2において、破線領域はCMOSセンサーの一画素を示し、PDはフォトダイオード、MTXは転送用トランジスタ、MRESはリセット用トランジスタ、

MSELは画素アンプとなる増幅用トランジスタ、MSELは画素を選択する選択用トランジスタである。リセット用トランジスタMRES、MRVをオンして画素部および垂直出力線のリセットを行った後に画素アンプ、選択用トランジスタMSEL、トランジスタMCT2を介してノイズ用メモリCT2にノイズ信号を蓄積する。また、転送用トランジスタMTXをオンして、フォトダイオードPDから光電変換された信号が画素アンプとなる増幅用トランジスタMSELのゲートに転送され、画素アンプ、選択用トランジスタMSEL、トランジスタMCT1を介して信号用メモリCT1にノイズ信号成分を含む信号を蓄積する。そして、信号用メモリCT1に蓄積されたノイズ信号成分を含む信号と、ノイズ用メモリCT2に蓄積されたノイズ信号とを水平出力線に出力し、減算処理して画素アンプのバラツキとゲート部のリセットノイズ等のノイズ成分が除去された信号を得る。 $\phi_{SEL}$ 、 $\phi_{TX}$ 、 $\phi_{RES}$ 、 $\phi_{RV}$ 、 $\phi_{TS}$ 、 $\phi_{TN}$ はそれぞれ増幅用トランジスタMSEL、転送用トランジスタMTX、リセット用トランジスタMRES、MRV、トランジスタMCT1、MCT2を制御する制御信号である。また、トランジスタMLは画素アンプMSFの負荷である。 $\phi_L$ は $\phi_{SEL}$ と共通に駆動するか、常にHレベルとして抵抗としても良い。

【0019】なお、画素部は複数の光電変換部に対して1つの共通アンプを設けるようにしてもよい。図11は共通アンプ画素の例を示す図である。図11に示すように、a11, a12, a21, a22は各画素の光電変換部となるフォトダイオード、MSFは共通アンプとなる増幅用トランジスタ、MTX1~MTX4はフォトダイオードに蓄積された信号電荷を共通アンプの入力部に転送する転送用トランジスタ、MRESは前記共通アンプの入力部をリセットするリセット用トランジスタ、MSELは共通アンプ画素を選択する選択用トランジスタである。トランジスタMSF、MSELはソースフォロア回路を構成する。かかる共通アンプ画素は4つのフォトダイオードからの信号が共通アンプを介して出力され、4画素で一つの単位セルを構成する。1つの画素はフォトダイオード、転送用トランジスタを含み、共通アンプ、リセット用トランジスタ、選択用トランジスタからなる共通回路の一部を含んでいる。フォトダイオードa11, a22にGフィルター、フォトダイオードa21にBフィルター、フォトダイオードa12にRフィルターを配置する。

【0020】図3は本発明の撮像装置の信号読み出し回路の構成を示すブロック図である。なお、図2を用いて説明したノイズ除去構成についてはここでは説明の簡易化のため省略する。

【0021】画素部の上側には2ラインと水平2行分の、奇数ライン用のG用メモリMG11, MG12, MG31, MG32と偶数ライン用のG用メモリMG21, MG22, MG41, MG42, …とを設け、下側には2ラインと水平2行分のBとR用メモリMB11, MB12, MB31,

MB32, …, MR21, MR22, MR41, MR42, …を設けている。上側及び下側メモリには画素部から画素信号が読み出される。上側メモリは水平走査回路(H・SR)21により制御され、下側メモリは水平走査回路(H・SR)22により制御される。画素部からの信号の読み出しは垂直走査回路(V・SR)23により制御される。

【0022】信号の加算は次のように行う。上側メモリ(G用メモリ)では加算パルス $\phi_{add}$ により4画素分の信号をメモリ上と水平信号線上で加算するように制御される。例えば、メモリMG11, MG12, MG31, MG32に転送された信号が加算され、メモリMG21, MG22, MG41, MG42に転送された信号が加算される。

【0023】下側メモリ(B用メモリ及びR用メモリ)では加算パルス $\phi_{add}$ により4画素の信号がメモリ上と水平信号線上で加算されるように制御される。例えば、それぞれメモリMB11, MB12, MB31, MB32に転送された信号が加算され、それぞれメモリMR21, MR22, MR41, MR42に転送された信号が加算される。

【0024】図4は上記信号読み出し回路のより詳細な構成を示す回路構成図、図5は全画素信号読み出しのタイミング図、図6は加算及び間引き読み出しのタイミング図である。

【0025】まず、全画素信号読み出しの場合について図4および図5を用いて説明する。

【0026】図5に示すように、期間t0では、制御信号 $\phi_{TG1}$ ,  $\phi_{TG2}$ ,  $\phi_{TG1'}$ ,  $\phi_{TG2'}$ ,  $\phi_{TB1}$ ,  $\phi_{TB2}$ ,  $\phi_{TR1}$ ,  $\phi_{TR2}$ ,  $\phi_{RV}$ をHレベルとして読み出し回路をリセットする。

【0027】次に期間t1では、V1ラインが選択され、制御信号 $\phi_{TG1}$ ,  $\phi_{TG2}$ ,  $\phi_{TR1}$ ,  $\phi_{TR2}$ をHレベルとすると、例えば、画素信号G11が上側メモリMG11, MG12へ、画素信号R12が下側メモリMR21及びMR22へ転送される。上下のメモリではそれぞれ、2つのメモリMG11, MG12、2つのメモリMR21, MR22を共通に利用しメモリから水平出力線への読み出しゲインを大きくしている。

【0028】次に期間t2では、同様にV2ラインが選択され、制御信号 $\phi_{TG1'}$ ,  $\phi_{TG2'}$ ,  $\phi_{TB1}$ ,  $\phi_{TB2}$ をHレベルとすると、例えば、画素信号G22が上側メモリMG21, MG22へ、画素信号B21が下側メモリMB11及びMB12へ転送される。上下のメモリではそれぞれ、2つのメモリMG21, MG22、2つのメモリMB11, MB12を共通に利用しメモリから水平出力線への読み出しゲインを大きくしている。

【0029】次に水平走査回路21から制御信号 $\phi_{H11}$ と $\phi_{H21}$ 、 $\phi_{H12}$ と $\phi_{H22}$ 、 $\phi_{H13}$ と $\phi_{H23}$ 、…が同時に順次出力されて、各上側メモリから二本の水平出力線に信号が転送され、出力A, Bから出力される。制御信号 $\phi_{H11}$ と $\phi_{H21}$ 、 $\phi_{H12}$ と $\phi_{H22}$ 、 $\phi_{H13}$ と $\phi_{H23}$ 、…が出力さ

れる間には $\phi_{HC}$ がHレベルとなり、水平出力線がリセットされる。なお、不図示であるが、同様に水平走査回路22から、上記制御信号 $\phi_{H11}$ 〜 $\phi_{H13}$ 、 $\phi_{H21}$ 〜 $\phi_{H23}$ と同相の制御信号 $\phi_{H11'}$ と $\phi_{H21'}$ 、 $\phi_{H12'}$ と $\phi_{H22'}$ 、 $\phi_{H13'}$ と $\phi_{H23'}$ 、…が同時に順次出力されて、各下側メモリから二本の水平出力線に信号が転送され、出力C, Dから出力される。この結果、2×2画素単位の信号が出力A, B, C, Dから出力される。その後、同様にV3ライン、V4ラインが選択され信号読み出しが行われる。

【0030】次に加算及び間引き読み出しについて図4および図6を用いて説明する。ここではシステム2(偶数フィールド)の場合について説明するが、インターレース走査の場合は、奇数フィールドの場合についても同様な動作で加算及び間引き読み出しを行うことができる。

【0031】図6に示すように、期間t0では、制御信号 $\phi_{TG1}$ ,  $\phi_{TG2}$ ,  $\phi_{TG1'}$ ,  $\phi_{TG2'}$ ,  $\phi_{TB1}$ ,  $\phi_{TB2}$ ,  $\phi_{TR1}$ ,  $\phi_{TR2}$ をHレベルとして読み出し回路をリセットする。

【0032】次に期間t1では、 $\phi_{TR1}$ ,  $\phi_{TG1}$ がHレベルとなって、V1ラインのR信号である画素信号R12, R14, …が下側メモリMR21, MR41, …へ転送され、G信号である画素信号G11, G13, …が上側メモリMG11, MG31, …へ転送される。

【0033】期間t2では、 $\phi_{TG1'}$ ,  $\phi_{TB1}$ がHレベルとなって、V2ラインのG信号である画素信号G22, G24, …が上側メモリMG22, MG42へ転送され、B信号であるB21, B23, …が下側メモリMB11, MB31へ転送される。

【0034】期間t3では、 $\phi_{TG2}$ ,  $\phi_{TR2}$ がHレベルとなって、V3ラインのG信号である画素信号G31, G33, …が上側メモリMG12, MG32へ転送され、R信号であるR32, R34, …が下側メモリMR22, MR42へ転送される。

【0035】期間t4では、 $\phi_{TB2}$ ,  $\phi_{TG2'}$ がHレベルとなって、V4ラインのB信号である画素信号B41, B43, …が下側メモリMB12, MB32へ転送され、G信号である画素信号G42, G44, …が上側メモリMG21, MG41, …へ転送される。

【0036】期間t5に、 $\phi_{add}$ が印加され、G信号は垂直方向の信号がメモリにより加算される。すなわち、 $G11+G31$ , …,  $G22+G42$ , …の加算処理が行われる。下側メモリでも $\phi_{add}$ により垂直方向の信号がメモリにより加算される。すなわち、 $B21+B41$ ,  $B23+B43$ , …の加算処理、および $R12+R32$ ,  $R14+R34$ , …の加算処理が行われる。さらに、信号( $G11+G31$ )と信号( $G13+G33$ )、信号( $G22+G42$ )と信号( $G24+G44$ )、信号( $B21+B41$ )と信号( $B23+B43$ )、信号( $R12+R32$ )と信号( $R14+R34$ )は水平出力線で加

算されて、信号 ( $G_{11}+G_{31}+G_{13}+G_{33}$ )、信号 ( $G_{22}+G_{42}+G_{24}+G_{44}$ )、信号 ( $B_{21}+B_{41}+B_{23}+B_{43}$ )、信号 ( $R_{12}+R_{32}+R_{14}+R_{34}$ ) が得られる。

【0037】図6のタイミング図で、水平シフトパルスは、上下のメモリの信号として  $\phi H_{1n}$ ,  $\phi H_{2n}$ ,  $\phi H_{1n'}$ ,  $\phi H_{2n'}$  が同相相加され、垂直方向と水平方向に加算された信号 (メモリ及び水平出力線により加算された信号) が出力 A, B, C, D に出力される。

【0038】図7は R, G, B 画素の加算信号を得るときの各色の画素利用範囲を示す図である。それぞれの画素利用範囲は重複している。

【0039】図7に示した画素利用範囲は、図1、図4及び図6を用いて説明した信号読み出し方法における各画素の利用範囲を示したものであり、R, G, B 画素からの各色信号は空間的に重複して加算されることが分かる。

【0040】図8は補色の色フィルタ Y<sub>e</sub> (黄), C<sub>y</sub> (シアン), M<sub>g</sub> (マゼンダ), G (緑) での実施例での加算信号を得るときの各色の画素利用範囲を示す図である。図9は  $4 \times 4$  画素から R, G, B 各一色を得る実施例での加算信号を得るときの各色の画素利用範囲を示す図である。図8、図9からわかるように、それぞれの画素利用範囲は重複している。

【0041】なお、図7及び図8に示した画素利用範囲の加算処理では4系統 (R, G, G, Bの4系統、Y<sub>e</sub>, C<sub>y</sub>, M<sub>g</sub>, Gの4系統) の加算処理の繰り返しとなり、図9に示した画素利用範囲の加算処理では3系統 (R, G, Bの3系統) の加算処理の繰り返しとなる。

【0042】高画素数の場合、加算した後の各色信号の空間的重心ずれによるモアレは軽減されるので、R, G, B を同時信号として使ってもよい。

【0043】図10に上記撮像装置を用いたシステム概略図を示す。同図に示すように、光学系71を通して入射した画像光はCMOSセンサー72上に結像する。CMOSセンサー72上に配置されている画素アレーによって光情報は電気信号へと変換される。その電気信号は信号処理回路73によって予め決められた方法によって信号変換処理され、出力される。信号処理された信号は、記録系、通信系74により情報記録装置により記録、あるいは情報転送される。記録、あるいは転送された信号は再生系77により再生される。CMOSセンサー72、信号処理回路73はタイミング制御回路75により制御され、光学系71、タイミング制御回路75、記録系・通信系74、再生系77はシステムコントロール回路76により制御される。タイミング制御回路75により独立読み出し、加算・間引き読み出しを選択することができる。

【0044】前述した高画素読み出し (全画素読み出し) と

低画素読み出し (加算・間引き読み出し) とでは水平と垂直駆動パルスが異なる。従って読み出しモード毎にセンサーの駆動タイミング、信号処理回路の解像度処理、記録系の記録画素数を変える必要がある。これらの制御はシステムコントロール回路76で各読み出しモードに応じて行われる。また読み出しモードで、加算により感度が異なる。例えば高画素読み出しに対し加算読み出しでは信号量が2倍になる。このままではダイナミックレンジが  $1/2$  になるため不図示の絞りを半絞り小さく制御することにより適正信号を得る。この結果、低照度時は  $1/2$  の明るさまで撮影可能となる。信号処理回路及び記録系は高精細用と動画像用に別に設けても良い。

【0045】

【発明の効果】以上、本発明によれば、画素信号の読み出しを全画素独立読み出しと加算及び間引き読み出しを選択することにより、高精細画像とより低解像度の画像を切り換えた記録及び表示することができる。

【0046】複数ラインの画素信号を垂直方向及び水平方向で加算し、また各色信号を空間的に重複して加算したので、垂直及び水平方向のモアレが非常に低減できた。また信号の加算により  $S/N$  が向上し、低画素数読み出しでは駆動周波数をNTSC用撮像素子並に低速にできたので低消費電力が達成できた。

【図面の簡単な説明】

【図1】本発明のカラー撮像装置による画素信号読み出し方法を示す概略説明図である。

【図2】CMOSセンサーおよび読み出し回路を示す回路図である。

【図3】本発明の撮像装置の信号読み出し回路の構成を示すブロック図である。

【図4】上記信号読み出し回路のより詳細な構成を示す回路構成図である。

【図5】全画素信号読み出しのタイミング図である。

【図6】加算及び間引き読み出しのタイミング図である。

【図7】インターレース駆動を行った場合の、R, G, B画素の加算信号を得るときの各色の画素利用範囲を示す図である。

【図8】補色の色フィルタの場合の画素利用範囲を示す図である。

【図9】3系統の色信号を得る場合の画素利用範囲を示す図である。

【図10】本発明によるシステムを示す概略図である。

【図11】共通アンプ画素の例を示す図である。

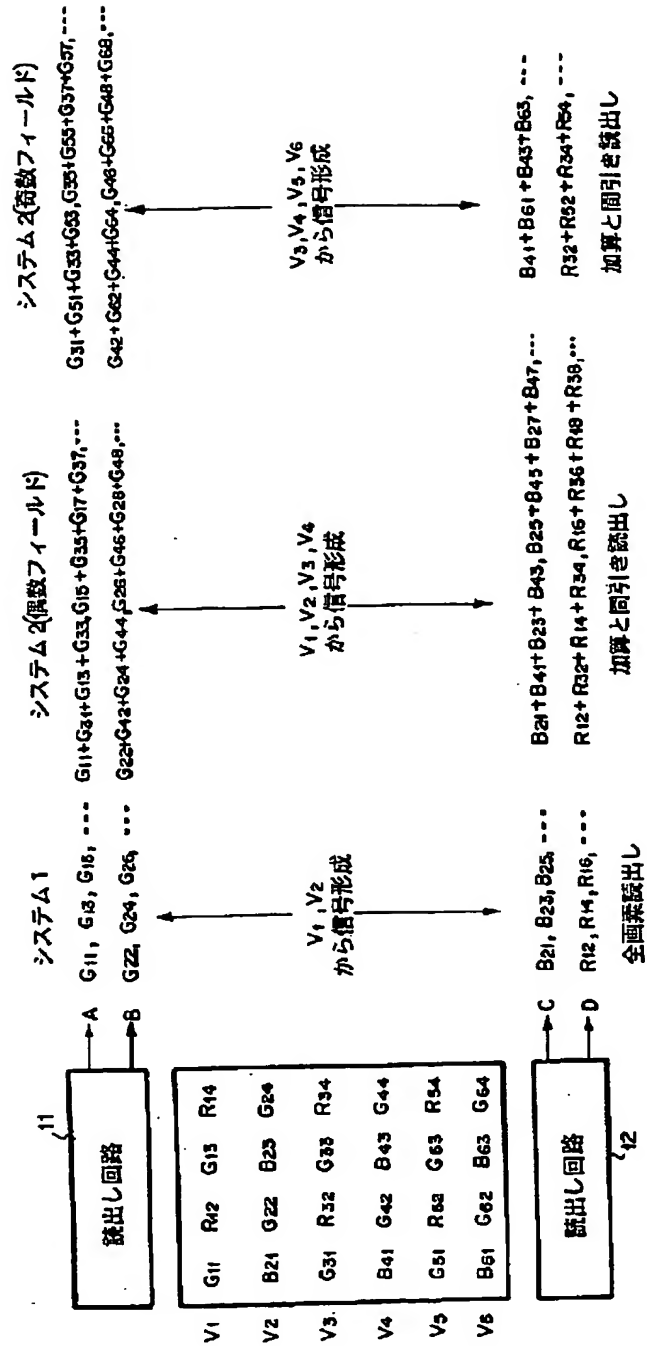
【符号の説明】

11, 12 読み出し回路

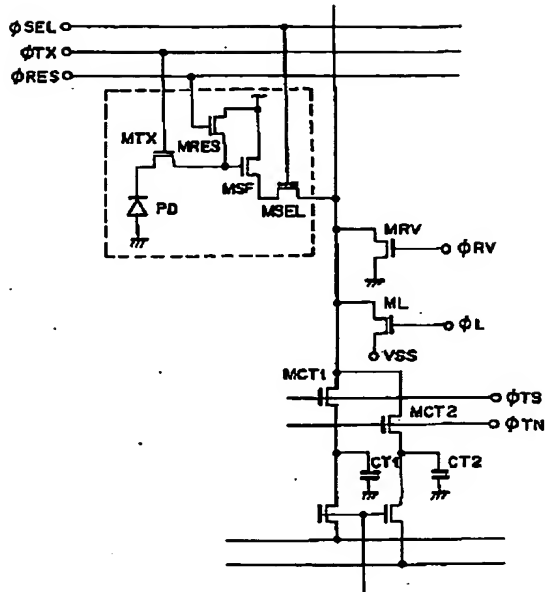
21, 22 水平走査回路

23 垂直走査回路

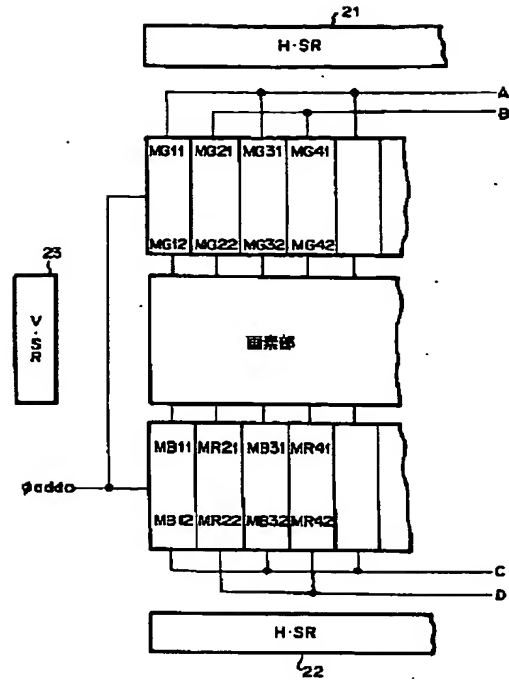
【図1】



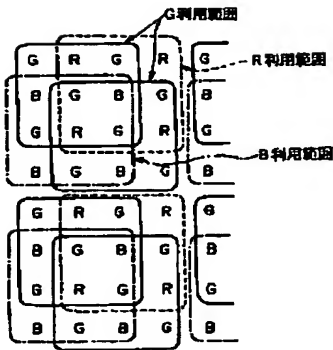
【図2】



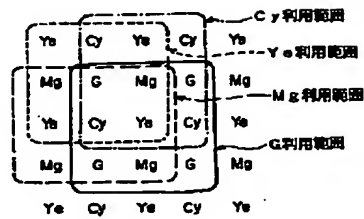
【図3】



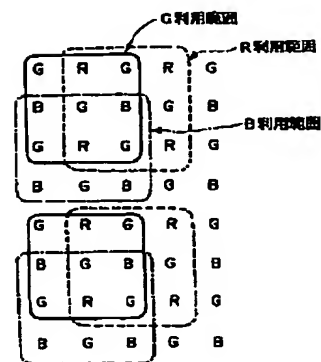
【図7】



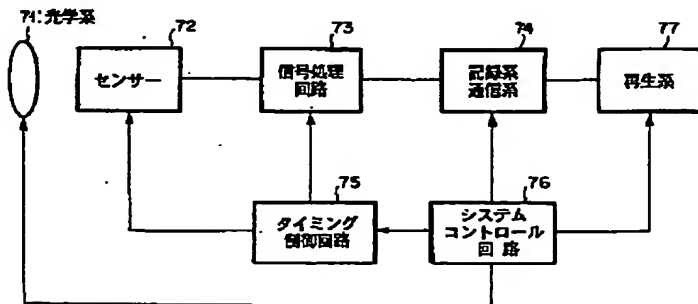
【図8】



【図9】

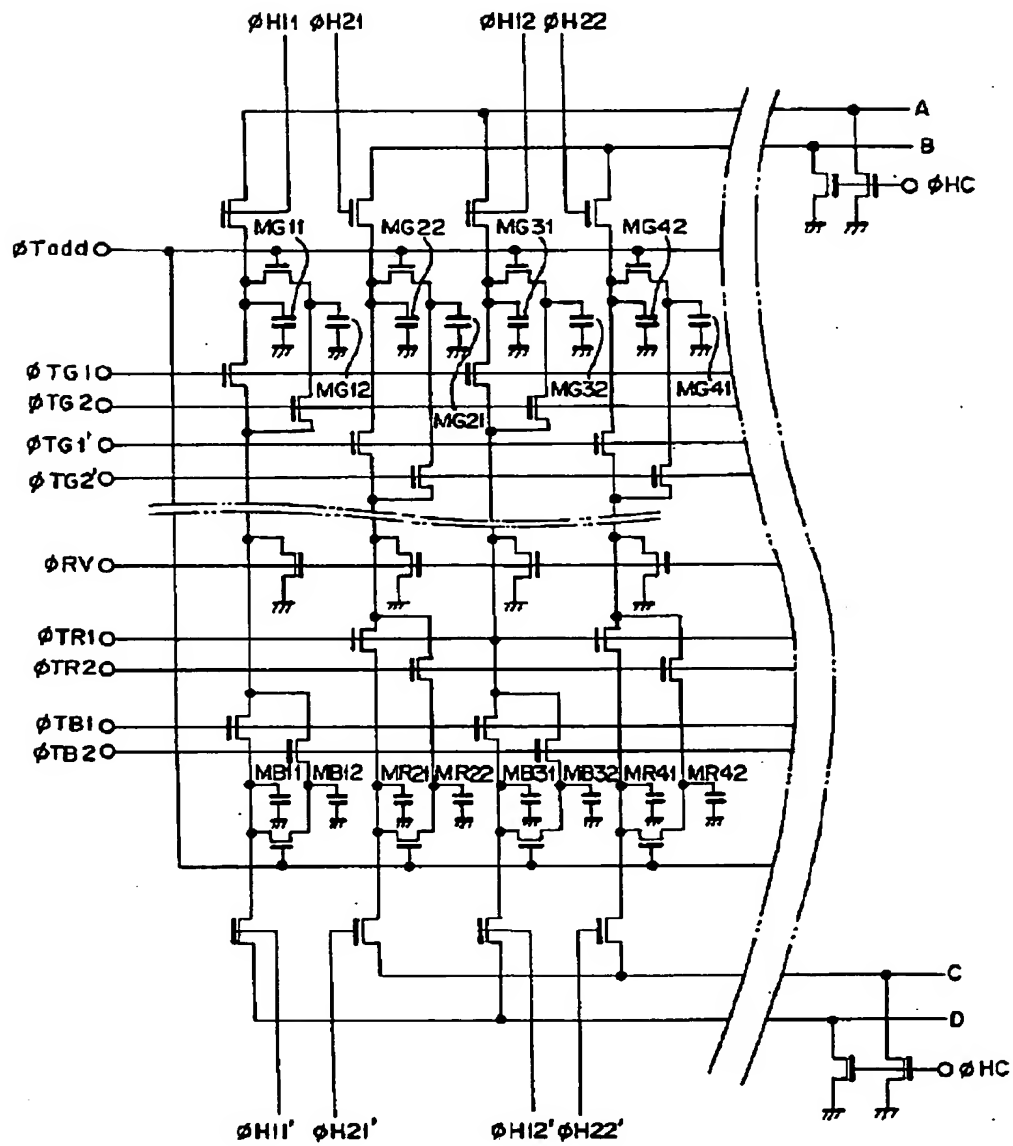


【図10】

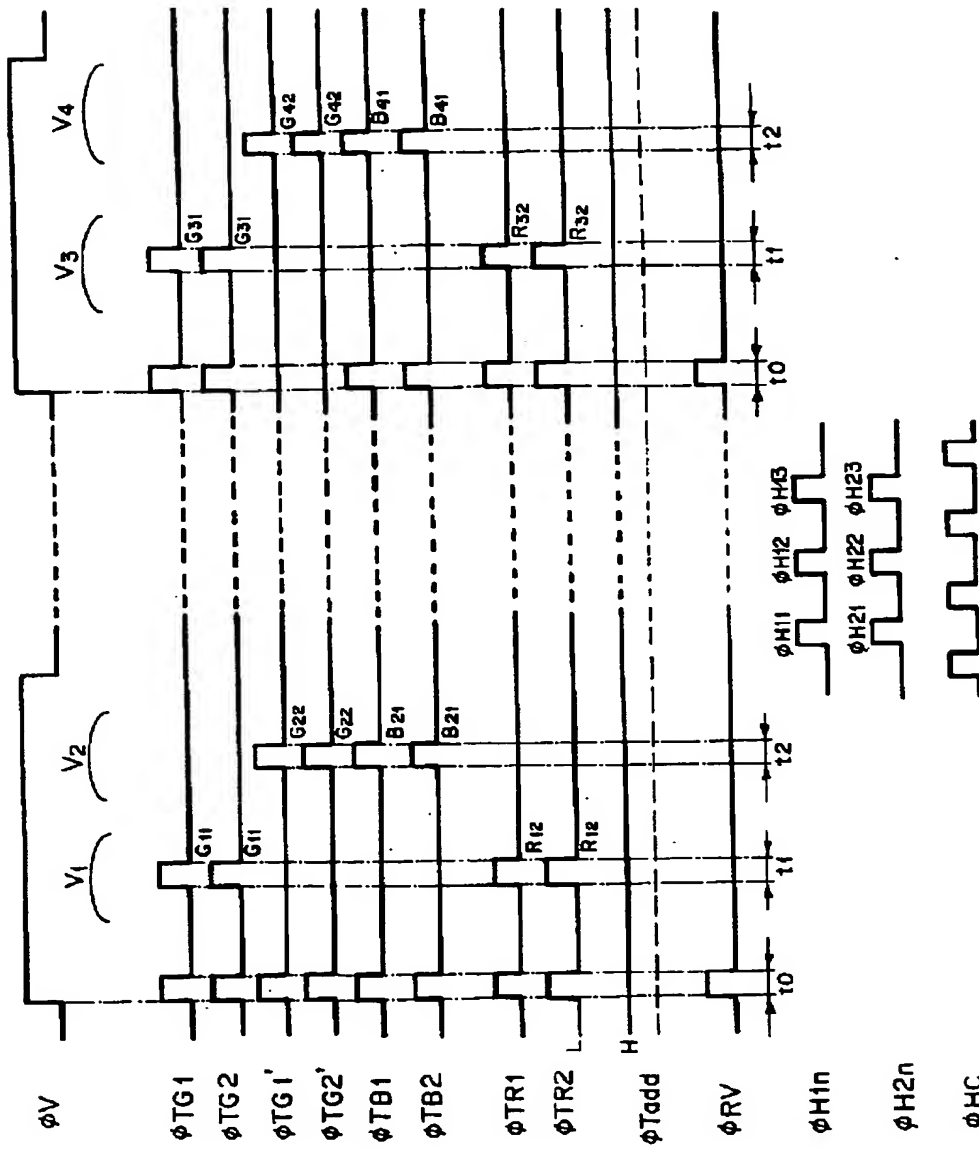




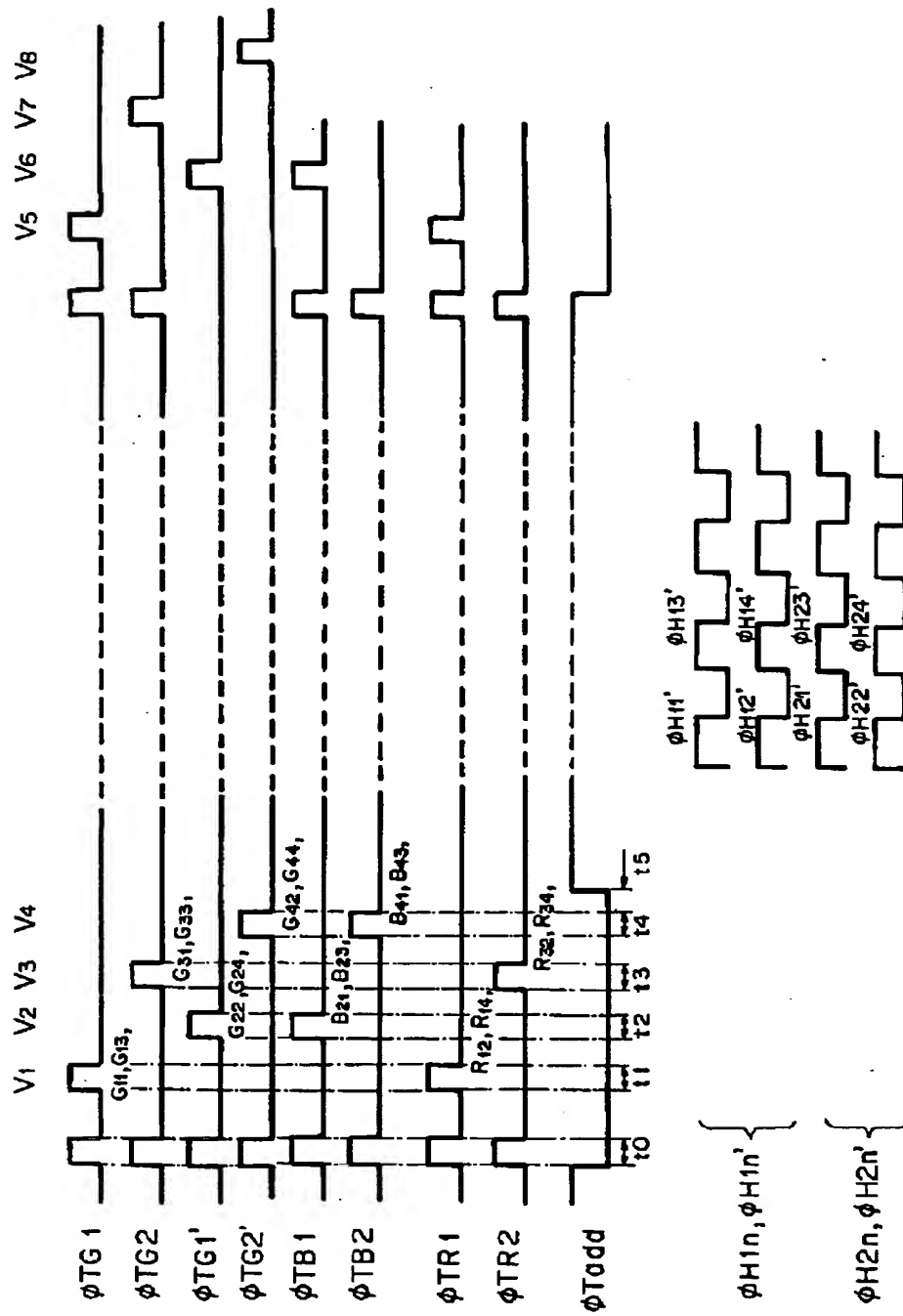
【図4】



【図5】



【図6】



【図11】

